



UNIDAD	AZCAPOTZALCO	DIVISION	CIENCIAS BASICAS E INGENIERIA	1 / 2
NOMBRE DEL PLAN LICENCIATURA EN INGENIERIA ELECTRONICA				
CLAVE	UNIDAD DE ENSEÑANZA-APRENDIZAJE		CRED.	12
1121037	DISEÑO LOGICO		TIPO	OBL.
H. TEOR. 6.0	SERIACION		TRIM. III	
H. PRAC. 0.0	1151038			

**OBJETIVO(S) :**

Objetivo General:

Al final de la UEA el alumno será capaz de:

Analizar y diseñar circuitos combinacionales y secuenciales de baja y mediana complejidad empleando dispositivos lógicos programables.

**CONTENIDO SINTETICO:**

1. Sistemas numéricos y códigos.
2. Circuitos combinacionales.
3. Modelado con HDL a nivel RTL.
4. Bloques combinacionales.
5. Dispositivos lógicos programables.
6. Flip Flops.
7. Circuitos secuenciales.
8. Registros, contadores y memorias.
9. Diseño de máquinas de estado algorítmicas (controladores y microprogramación).
10. Diseño de sistemas secuenciales.

**MODALIDADES DE CONDUCCION DEL PROCESO DE ENSEÑANZA-APRENDIZAJE:**

Técnica expositiva combinando metodologías que permitan la participación activa y continua de los alumnos como exposición en clase, trabajos individuales y grupales. Alternativamente modalidad SAI.



UNIVERSIDAD AUTONOMA METROPOLITANA

ADECUACION  
PRESENTADA AL COLEGIO ACADEMICO  
EN SU SESION NUM. 383

EL SECRETARIO DEL COLEGIO

*[Handwritten signature]*

NOMBRE DEL PLAN LICENCIATURA EN INGENIERIA ELECTRONICA		2/ 2
CLAVE 1121037	DISEÑO LOGICO	

Como parte de las modalidades de conducción del proceso de enseñanza-aprendizaje será requisito que los alumnos con apoyo del profesor, participen en la revisión y análisis de al menos un texto técnico, científico o de difusión escrito en idioma inglés y que contribuya a alcanzar los objetivos del programa de estudios.

Se procurará que como parte de las modalidades de conducción del proceso de enseñanza-aprendizaje los alumnos participen en la presentación oral de sus trabajos, tareas u otras actividades académicas desarrolladas durante el curso.

**MODALIDADES DE EVALUACION:**

**Evaluación Global:**

Realizar por lo menos dos evaluaciones periódicas (80%) y una evaluación Terminal (20%), consistentes en preguntas conceptuales y problemas escritos.

**Evaluación de Recuperación:**

Si hay, consistente en preguntas conceptuadas y problemas escritos (100%).

No requiere inscripción previa.

**BIBLIOGRAFIA NECESARIA O RECOMENDABLE:**

1. Mano M. M., Kime C. R., "Fundamentos de diseño lógico y de computadoras", Pearson Prentice Hall, 3a ed., Junio 2005.
2. Tocci R. J., Moss G. L., Widmer N. S., "Sistemas Digitales. Principios y aplicaciones", Pearson Prentice Hall, 10a ed., 2007.
3. Brown S., Vranesic Z., "Fundamentos de lógica digital con diseño VHDL", Mc Graw-Hill, 2a ed., 2006.
4. Schnadower Baran I. "Diseño y aplicaciones de controladores con VHDL", Universidad Autónoma Metropolitana - Azcapotzalco, 2010.

Revistas de divulgación, técnicas o científicas en inglés, relacionadas con el contenido de la UEA.



**UNIVERSIDAD AUTONOMA METROPOLITANA**

Casa abierta al tiempo

ADECUACION  
PRESENTADA AL COLEGIO ACADEMICO  
EN SU SESION NUM. 383

*[Handwritten Signature]*  
EL SECRETARIO DEL COLEGIO